

DERWENT-ACC-NO: 1996-511360
DERWENT-WEEK: 199651
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: LOC structured semiconductor device - in which inner lead of lead frame is joined to pad on surface of semiconductor chip through adhesive tape with wiring

PATENT-ASSIGNEE: TOSHIBA KK[TOKE]

PRIORITY-DATA: 1995JP-0060636 (March 20, 1995)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 08264706 A	October 11, 1996	N/A	006	H01L 023/50

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP08264706A	N/A	1995JP-0060636	March 20, 1995

INT-CL_(IPC): H01L021/60; H01L023/50

ABSTRACTED-PUB-NO: JP08264706A

BASIC-ABSTRACT: The semiconductor device uses an adhesive tape (12) which connects between a inner lead (13a) of a lead frame (13) and an electrode pad (11a) on a semiconductor chip (11).

The adhesive tape is used in the junction of the lead frame and the semiconductor chip. A wiring (14) is provided at the adhesive tap which electrically connects the inner lead and the electric pad together.

ADVANTAGE - Simplifies main assembly features. Shortens assembling time.

CHOSEN-DRAWING: Dwg.1/6

TITLE-TERMS:

STRUCTURE SEMICONDUCTOR DEVICE INNER LEAD LEAD FRAME JOIN PAD SURFACE
SEMICONDUCTOR CHIP THROUGH ADHESIVE TAPE WIRE

DERWENT-CLASS: U11

EPI-CODES: U11-D01A1;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1996-431197

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-264706

(43) 公開日 平成8年(1996)10月11日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/50			H 0 1 L 23/50	U
21/60	3 1 1		21/60	3 1 1 R

審査請求 未請求 請求項の数8 O L (全 6 頁)

(21) 出願番号 特願平7-60636

(22) 出願日 平成7年(1995)3月20日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 高野 晃成

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

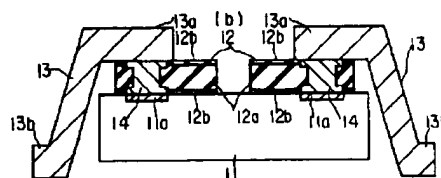
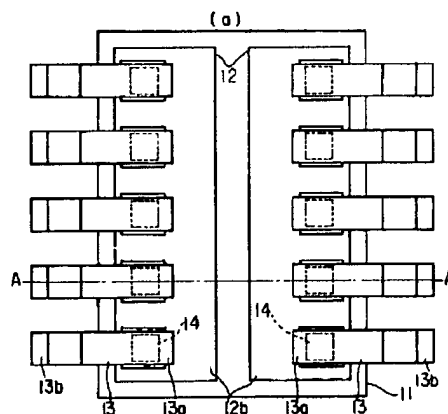
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】本発明は、半導体チップの表面に接着テープを介してリードフレームを接合してなるLOC構造の半導体装置およびその製造方法において、組み立てを簡素化できるようにすることを最も主要な特徴とする。

【構成】たとえば、半導体チップ11とリードフレーム13との接合に用いられる接着テープ12に、リードフレーム13のインナリード13aと半導体チップ11上の電極パッド11aとの間を導通させるための配線14を設ける。そして、この接着テープ12を介して、半導体チップ11の表面にリードフレーム13を接合すると同時に、接着テープ12に設けられた配線14を介して、インナリード13aと電極パッド11aとの間を電気的に接続する構成となっている。



【特許請求の範囲】

【請求項1】 表面に電極が配された半導体チップと、この半導体チップの前記電極と接続されるインナリードを有するリードフレームと、

このリードフレームを前記半導体チップの表面に接合するとともに、その接合の際に、前記リードフレームのインナリードと前記半導体チップの電極との間を導通させるための配線が設けられてなる接着テープとを具備したことを特徴とする半導体装置。

【請求項2】 前記電極が半導体チップ表面より突出または窪んだ位置に形成され、一方、前記配線が接着テープ下面より窪んだまたは突出した位置に形成されており、前記電極と前記配線とが嵌合された状態になっていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記接着テープは、絶縁材料の上下の面にそれぞれ接着剤層が設けられた3層構造を有してなることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記配線は、前記接着テープを貫通するように設けられた導電材料からなることを特徴とする請求項1に記載の半導体装置。

【請求項5】 半導体チップの表面に接着テープを介してリードフレームを接合するようにしてなる半導体装置の製造方法において、

前記接着テープに、前記リードフレームのインナリードと前記半導体チップの電極との間を導通させるための配線を設け、

前記接着テープによる前記半導体チップと前記リードフレームとの接合と同時に、前記リードフレームのインナリードと前記半導体チップの電極とを前記配線を介して電気的に接続するようにしたことを特徴とする半導体装置の製造方法。

【請求項6】 前記接着テープによる、前記リードフレームと前記半導体チップとの接合は、熱圧着により行われることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 前記熱圧着により、前記配線と前記電極との間が固相拡散により接続されることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】 前記熱圧着により、前記配線と前記電極との間が共晶結合により接続されることを特徴とする請求項6に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、たとえば半導体チップの表面に接着テープを介してリードフレームを接合するようにしてなる半導体装置およびその製造方法に関するもので、特にLOC（リード・オン・チップ）構造の半導体装置に用いられるものである。

【0002】

【従来の技術】図6は、LOC構造を有する従来の半導

体装置の概略構成を示すものである。この半導体装置は、たとえば、半導体チップ1の表面に接着テープ2を用いてリードフレームのインナリード3a側を接合し、そのインナリード3aと電極パッド1aとの間を、導電性を有する金属細線4を介して電気的に接続してなる構成とされている。

【0003】この半導体装置の場合、上記半導体チップ1として、チップ表面の中央部に電極パッド1aが配列された、LOC特有のセンタパッド構造のものが使用されている。

【0004】また、上記接着テープ2としては、エポキシ系のポリイミドなどの絶縁性テープ2aの上下の面にそれぞれ接着剤2bが塗布された3層構造のものが用いられている。

【0005】このような構成の半導体装置によれば、チップとはほぼ同等サイズのパッケージ製品を実現できるメリットがある。しかしながら、上記した半導体装置の製造に際しては、半導体チップ1の表面へのリードフレームの接合、およびインナリード3aと電極パッド1aとの間の電気的な接続が、異なる製造装置を用いて、それぞれ別の工程により行われるようになっている。このため、工程数が多く、半導体装置の組み立てに時間を要するなどの問題があった。

【0006】

【発明が解決しようとする課題】上記したように、従来においては、半導体チップの表面へリードフレームを接合する工程、およびインナリードと電極パッドとの間を電気的に接続する工程がそれぞれ独立していたため、工程数が多く、半導体装置の組み立てに時間を要するといった問題があった。

【0007】そこで、この発明は、組み立ての工程数を削減でき、組み立て時間の短縮化を図ることが可能な半導体装置およびその製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】上記の目的を達成するために、この発明の半導体装置にあっては、表面に電極が配された半導体チップと、この半導体チップの前記電極と接続されるインナリードを有するリードフレームと、このリードフレームを前記半導体チップの表面に接合するとともに、その接合の際に、前記リードフレームのインナリードと前記半導体チップの電極との間を導通させるための配線が設けられてなる接着テープとから構成されている。

【0009】また、この発明の半導体装置の製造方法にあっては、半導体チップの表面に接着テープを介してリードフレームを接合するようにしてなる場合において、前記接着テープに、前記リードフレームのインナリードと前記半導体チップの電極との間を導通させるための配線を設け、前記接着テープによる前記半導体チップと前

記リードフレームとの接合と同時に、前記リードフレームのインナリードと前記半導体チップの電極とを前記配線を介して電気的に接続するようになっている。

【0010】

【作用】この発明は、上記した手段により、半導体チップの表面へのリードフレームの接合と同時に、インナリードと電極との間を電気的に接続できるようになるため、独立した2つの工程を1つにまとめることが可能となるものである。

【0011】

【実施例】以下、この発明の実施例について図面を参照して説明する。図1は、本発明にかかるLOC構造を有する半導体装置の構成を概略的に示すものである。なお、同図(a)は半導体装置の平面図であり、同図(b)は同じくA-A線に沿う断面図である。

【0012】すなわち、この半導体装置は、たとえば、半導体チップ11の表面に接着テープ12を用いてリードフレーム13のインナリード13a側を接合するとともに、そのインナリード13aと電極パッド11aとの間を、上記接着テープ12に設けられた配線14を介して電気的に接続してなる構成とされている。

【0013】上記半導体チップ11は、たとえばチップ表面の端部に複数の電極パッド11aが配された、一般的な構造のものが使用されている。上記各電極パッド11aは、金やアルミニウムなどの金属により形成されて、半導体チップ11の表面が平坦となるように埋め込まれた構成となっている。

【0014】上記接着テープ12は、たとえば絶縁性を有するエポキシ系のポリイミドテープ12a、およびこのテープ12aの上下の面にそれぞれ接着剤12bが塗布された3層構造とされている。上記接着テープ12としては、たとえば上記ポリイミドテープ12aのみからなる1層構造のものを用いることもできる。

【0015】そして、その接着テープ12の所定部位、つまり、上記インナリード13aと上記電極パッド11aとの各相互間には、それぞれ上記配線14が施された構成となっている。上記各配線14は、上記電極パッド11aとの結合性の良い導電材料、たとえば金やアルミニウムといった金属または金と銅とからなる合金などにより形成されている。

【0016】このような構造の接着テープ12は、たとえば、ポリイミドテープ12aに貫通孔を開口し、その貫通孔内に配線14の形状に加工された導電材料を埋め込むことにより形成できる。または、ポリイミドテープ12aに開口された貫通孔内に導電材料を液化して流し込み、それを配線14の形状に固めることにより形成することも、もしくは、配線14の形状に加工された導電材料の周囲にポリイミドを液化して流し込み、それをテープ12aの形状に固めるなどの方法によっても形成することが可能である。

【0017】上記リードフレーム13は、上記インナリード13aおよびアウトリード13bからなる複数のリードを有した構成とされている。このリードフレーム13は、鉄-ニッケル合金(42-A110y)や銅などの金属薄板をエッチングまたはプレス加工することで、各リードの相互が接続されて一体的に形成されるようになっている。そして、各リードは、それぞれのアウトリード13bが所定の形状にフォーミングされた後、個々に切り離される。

10 【0018】図2を参照して、上記した構成の半導体装置の製造プロセスについて簡単に説明する。たとえば、リードフレーム13の形成工程においては、リードフレーム13を所定の形状に形成するとともに、形成したリードフレーム13に、別工程より供給される接着テープ12を位置合わせして貼り付ける。こうして、リードフレーム13の各インナリード13aと接着テープ12の各配線14とを、それぞれ電気的に接続する。そして、接着テープ12を貼り付けた形で、リードフレーム13を次段の組み立て工程に供給する。

20 【0019】組み立て工程では、別工程より供給される半導体チップ11に、接着テープ12の貼り付けられたリードフレーム13を位置合わせして貼り合わせる。たとえば、圧着によって、上記リードフレーム13と上記半導体チップ11とが上記接着テープ12を介して接合されると、その接合と同時に、上記配線14が上記電極パッド11aと接触されることにより、上記インナリード13aと上記電極パッド11aとの相互が電気的に接続される。

30 【0020】また、リードフレーム13と半導体チップ11とを熱圧着により接合するようにした場合には、たとえば上記配線14および上記電極パッド11aがともに金からなるとすると、その接合の際に、上記配線14と上記電極パッド11aとが固相拡散により結合されることにより、上記インナリード13aと上記電極パッド11aとの相互が電気的に接続される。

40 【0021】同様に、リードフレーム13と半導体チップ11とを熱圧着により接合するようにした場合において、たとえば上記配線14および上記電極パッド11aの一方が金からなり、他方がアルミニウムからなるとすると、その接合の際に、上記配線14と上記電極パッド11aとが共晶結合されることにより、上記インナリード13aと上記電極パッド11aとの相互が電気的に接続される。

【0022】このように、1つの組み立て工程において、リードフレーム13と半導体チップ11との接合と、インナリード13aと電極パッド11aとの接続とを、同時に行うことができる。

50 【0023】しかる後、上記リードフレーム13の各リードのアウトリード13bをフォーミングし、そして、各リードごとに切り離すことで、図1に示した、LOC

構造の半導体装置が製造される。

【0024】また、半導体チップ11の周辺部をボッティングまたはモールドイングによって樹脂封止することにより、チップサイズとほぼ同等サイズの半導体パッケージが形成される。

【0025】このような構造の半導体装置によれば、リードフレーム13と半導体チップ11との接合、およびインナリード13aと電極パッド11aとの相互の電気的な接続を、1つの組み立て工程により同時に行うことが可能となる。

【0026】しかも、インナリード13aと電極パッド11aとの間を、金属細線を用いることなく電気的に接続できるようになる。上記したように、半導体チップの表面へのリードフレームの接合と同時に、インナリードと電極との間を電気的に接続できるようにしている。

【0027】すなわち、リードフレームのインナリードと半導体チップ上の電極パッドとの間を導通させるための配線を設けてなる接着テープを用いて、半導体チップとリードフレームとの接合を行うようにしている。これにより、半導体チップの表面へのリードフレームの接合およびインナリードの電極パッドとの電気的な接続を1度に行えるようになるため、独立した2つの工程を1つにまとめることが可能となる。したがって、LOC構造の半導体装置を製造する際の組み立ての工程数を削減でき、組み立てに要する時間を大幅に短縮することが可能となるものである。

【0028】また、インナリードと電極パッドとの間の接続に金属細線を用いていないために、金属細線の接触や断線といった問題がなく、半導体装置としての信頼性の向上も図れる。

【0029】特に、パッケージングする場合においては、金属細線がインナリードの上方にまで達する従来装置(図6参照)に比べ、チップ上部での樹脂厚を薄くできる分、より半導体パッケージの薄型化が可能となるものである。

【0030】さらには、LOC独特の技術を採用したり、LOC特有のセンタパッド構造の半導体チップを特に用意することなく、容易にLOC構造の半導体装置を実現することが可能である。この結果、半導体チップの構造を、表面の端部にパッドが配列された構造のものに略統一させることが可能となり、インナリードや接着テープのデザインを大筋で共有できるようになるため、チップのパッド配列に合わせてリードフレームや接着テープを設計しなければならないといった不都合を解決できる。

【0031】なお、上記実施例においては、半導体チップの左右においてそれぞれ独立した接着テープを用いてリードフレームを接合するようにした場合について説明したが、これに限らず、たとえば一体的に形成された接着テープによってリードフレームのチップ表面への接合

を行うようにすることも可能である。

【0032】また、リードフレームの製造過程において、あらかじめ接着テープを貼り付ける場合に限らず、たとえば半導体チップとの接合を行う直前にリードフレームに貼り付けるようにしても良いし、半導体チップの表面にあらかじめ接着テープを貼り付けておき、そこにリードフレームを貼り付けるようにすることなども可能である。

【0033】また、上記実施例においては、パッド表面がチップ表面と同一面になるように構成された半導体チップを例に説明したが、たとえば図3に示すように、チップ表面の凹部11'内に電極パッド11aが埋め込まれてなる半導体チップ11にも同様に適用できる。

【0034】この場合、たとえば図示の如く、配線14が接着テープ12の下面より突出するようにレジスト(図示していない)などを用いて形成し、その接着テープ12の下面より突出する配線14を上記凹部11'内に挿入する形で、配線14と電極パッド11aとを電気的に接続するようにすれば良い。

【0035】このような構成によれば、上記実施例と同様な効果が期待できるとともに、配線14と電極パッド11aとの位置合わせが容易で、かつ、より確実な接続が可能となる。

【0036】同様に、たとえば図4に示すように、電極パッド11aがパンプ状に形成されてなる半導体チップ11にも適用できる。この場合、たとえば図示の如く、接着テープ12の下面に設けられる接着剤12bを厚く形成し、その接着剤12bの空間が電極パッド11aの周囲を覆うように位置合わせして、配線14と電極パッド11aとの接続を行うようにすれば良い。

【0037】このような構成によれば、接着テープ12の下面に設けられる接着剤12bをクッションとして働かせることで、上記実施例と同様な効果が期待できるとともに、耐湿性の向上も図れる。

【0038】さらには、1層構造の接着テープ12を用いる例としては、たとえば図5に示すように、半導体チップ11の各電極パッド11a上に配線14となる導電性材料を配置し、その周囲に絶縁性を有する熱可塑性または熱硬化性の接着剤層を流し込みまたは塗布して乾燥させてなる構成とすることも可能である。その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0039】

【発明の効果】以上、詳述したようにこの発明によれば、組み立ての工程数を削減でき、組み立て時間の短縮化を図ることが可能な半導体装置およびその製造方法を提供できる。

【図面の簡単な説明】

【図1】この発明の一実施例にかかるLOC構造の半導体装置を概略的に示す構成図。

7

【図2】同じく、製造プロセスを説明するために示す半導体装置の概略断面図。

【図3】この発明の他の構成例を示す半導体装置の概略断面図。

【図4】同じく、半導体装置の他の構成例を示す概略断面図。

【図5】この発明の他の実施例にかかる半導体装置の概略構成図。

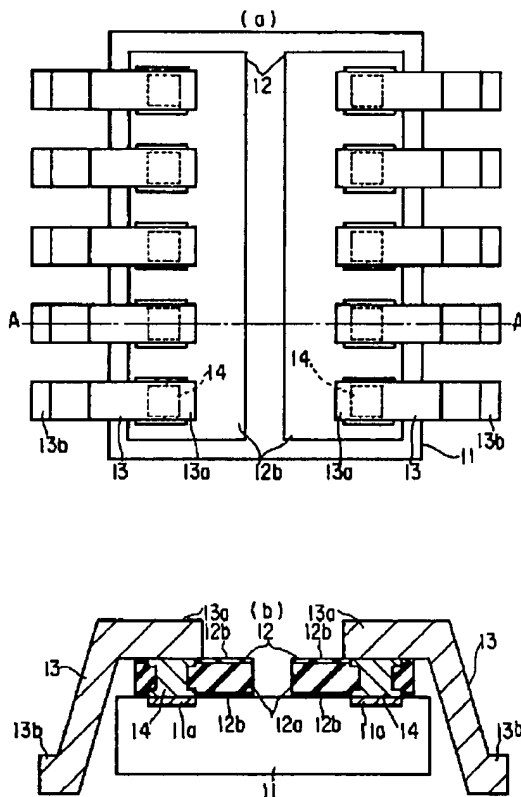
8

【図6】従来技術とその問題点を説明するために示す半導体装置の概略断面図。

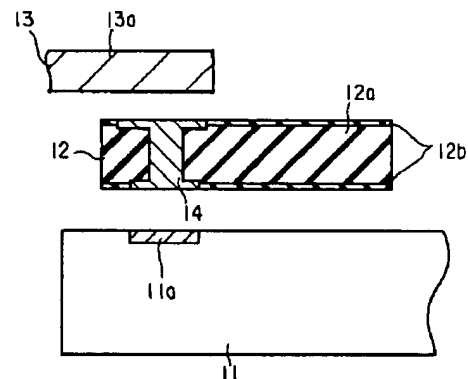
【符号の説明】

11…半導体チップ、11a…電極パッド、12…接着テープ、12a…ポリイミドテープ、12b…接着剤、13…リードフレーム、13a…インナリード、13b…アウトリード、14…配線。

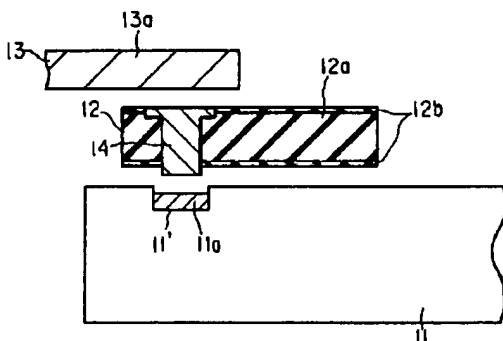
【図1】



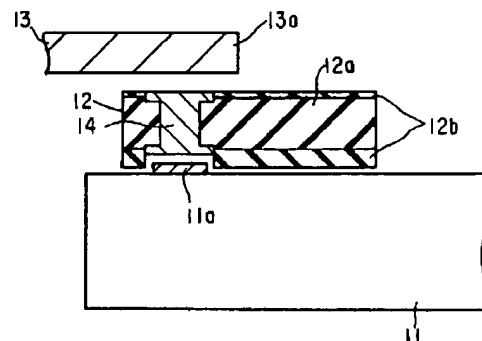
【図2】



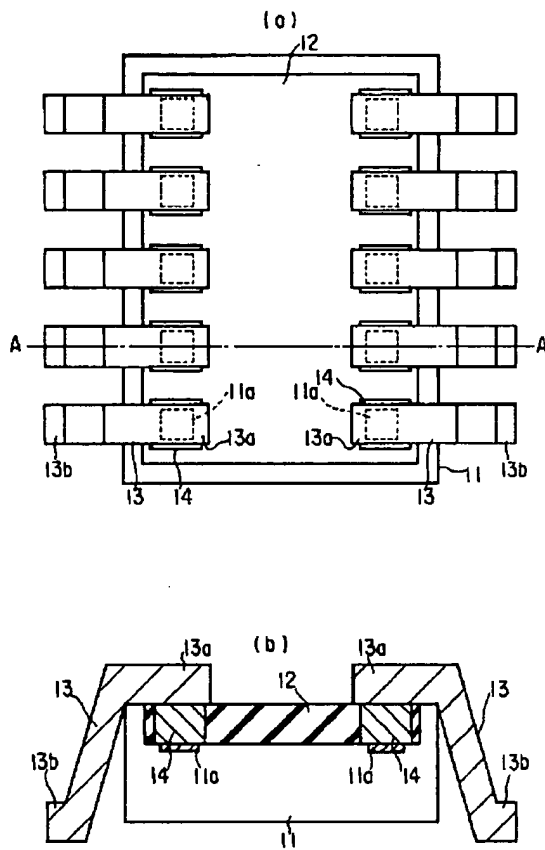
【図3】



【図4】



【図5】



【図6】

